

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-149097

(43)Date of publication of application : 07.06.1996

(51)Int.Cl.

H04H 5/00

(21)Application number : 06-290025

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 24.11.1994

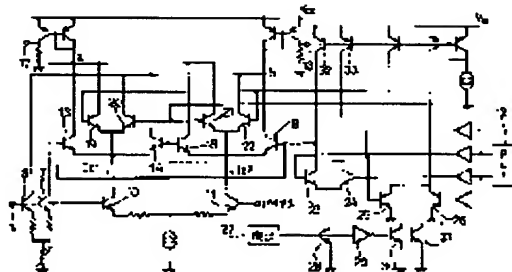
(72)Inventor : YAMAGISHI MIKIO

(54) STEREO DEMODULATION CIRCUIT

(57)Abstract:

PURPOSE: To provide a stereo demodulation circuit without causing noise when a monophonic operation is switched to/from a stereo operation.

CONSTITUTION: At the time of a monophonic operation, bias is impressed on the basis of first to the fourth transistors 13 to 16, and the seventh to the tenth transistors 19 to 22 are made inoperative states. At the time of a stereo operation, sub-carrier wave signals of the opposite phases with each other are impressed on the basis of the first, the third, the seventh and the ninth transistors 13, 16, 19 to 22, and the second, the fourth, the eighth and the tenth transistors 14, 15, 20 to 21. Therefore, since the output current of the first, the fourth, the seventh and the tenth transistors 13, 15, 19 to 21 and the output current of the second, the third, the eighth and the ninth transistors 14, 16, 20 and 22 become equal at the time of the monophonic operation and at the time of the stereo operation, the DC component in the output signal of a stereo demodulation circuit does not fluctuate and the generation of changeover noise can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 1 4 9 0 9 7

(43) 公開日 平成8年(1996)6月7日

(51) Int. Cl. ⁶

H 0 4 H 5/00

識別記号

S
W

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2

O L

(全 5 頁)

(21) 出願番号 特願平6-290025

(22) 出願日 平成6年(1994)11月24日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 山岸 幹夫

大阪府守口市京阪本通2丁目5番5号 三洋
電機株式会社内

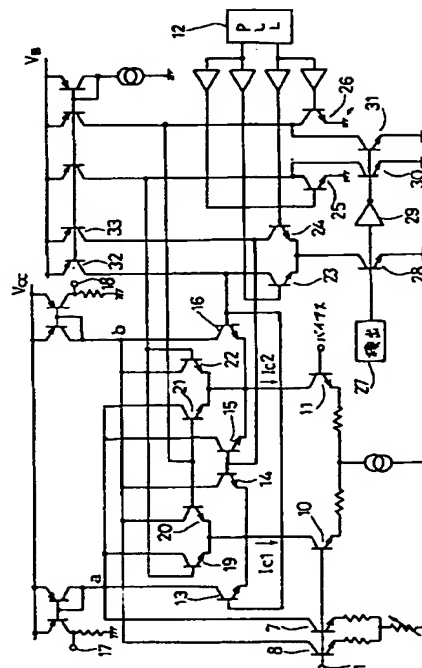
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 ステレオ復調回路

(57) 【要約】

【目的】 モノラル動作、ステレオ動作切り換え時、ノイズが発生しないステレオ復調回路を提供する。

【構成】 モノラル動作時には、第1乃至第4トランジスタ13乃至16のベースにバイアスを印加するとともに、第7乃至第10トランジスタ19乃至22を不動作状態にし、ステレオ動作時には、第1、第3、第7及び第9トランジスタ13、16、19乃至22と、第2、第4、第8及び第10トランジスタ14、15、20乃至21とのベースに互いに逆相の副搬送波信号を印加する。よって、モノラル動作時とステレオ動作時とで、の第1、第4、第7及び第10トランジスタ13、15、19及び21の出力電流と、第2、第3、第8及び第9トランジスタ14、16、20及び22の出力電流が等しくなるので、ステレオ復調回路の出力信号中の直流成分は変動せず、切り換えノイズの発生を防止できる。



【特許請求の範囲】

【請求項 1】第 1、第 2 及び第 3 差動対から成り、前記第 1 差動対に入力信号が印加され、前記第 2 及び第 3 差動対に副搬送波信号が印加されるステレオ復調回路において、

前記第 2 差動対を構成するトランジスタの共通エミッタと接続されるトランジスタを含む第 4 差動対と、
前記第 3 差動対を構成するトランジスタの共通エミッタと接続されるトランジスタを含む第 5 差動対と、
副搬送波信号を発生する副搬送波発生回路と、
ステレオ放送またはモノラル放送を検出する検出回路と、

該検出回路の出力信号に応じて、前記第 2 乃至第 5 差動対に、副搬送波信号を印加する制御回路とを備えたことを特徴とするステレオ復調回路。

【請求項 2】前記制御回路は、

前記検出回路からのステレオ放送を示す信号に応じて、
前記第 2 乃至第 5 差動対に副搬送波信号を印加し、また、
前記検出回路からのモノラル放送を示す信号に応じて、
前記第 2 及び第 3 差動対にバイアスを印加するとともに、
前記第 4 乃至第 5 差動対をオフさせることを特徴とする請求項 1 記載のステレオ復調回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ステレオコンポジット信号から左右オーディオ信号を復調するステレオ復調回路の改良に関する。

【0002】

【従来の技術】昭和 60 年 3 月 20 日付けで発行された「85 三洋半導体ハンドブック モノシリックバイポーラ集積回路編」第 360 頁の回路図に示されるが如く、マトリクス型のステレオ復調回路が公知である。前記ステレオ復調回路は、図 2 に示す如く、ステレオコンポジット信号が印加される入力端子 (1) と、該ステレオコンポジット信号を増幅する増幅回路 (2) と、第 1 乃至第 3 差動部 (3) 乃至 (5) を含み、前記増幅回路 (2) の出力信号中に含まれるステレオ差信号 (L-R) を復調する差信号復調回路 (6) と、コレクタにステレオ和信号 (L+R) を発生させる入力段トランジスタ (7) 及び (8) と、前記ステレオ和信号 (L+R) とステレオ差信号 (L-R) とをマトリクスし、左右ステレオ信号を発生するマトリクス回路 (9) とを備えている。

【0003】差信号復調回路 (6) はエミッタが抵抗を介して接続されたトランジスタ (10) 及び (11) から成り、前記トランジスタ (10) のベースにステレオコンポジット信号が印加される第 1 差動部 (3) と、互いに逆相の 38 KHz の副搬送波信号を発生する PLL 回路 (12) と、エミッタが共通接続されたトランジスタ (13) 及び (14) から成り、共通エミッタに前記

トランジスタ (10) からのステレオコンポジット信号が、それぞれのベースに前記 PLL 回路 (12) からの互いに逆相の副搬送波信号が印加される第 2 差動部

(4) と、エミッタが共通接続されたトランジスタ (15) 及び (16) から成り、共通エミッタに前記トランジスタ (11) からのステレオコンポジット信号が、それぞれのベースに前記 PLL 回路 (12) からの互いに逆相の 38 KHz の副搬送波信号が印加される第 3 差動部 (5) とによって構成されており、第 2 及び第 3 差動部 (4) 及び (5) において、ステレオコンポジット信号と 38 KHz の副搬送波信号とを乗算し、ステレオ差信号 (L-R) を復調するものである。

【0004】また、マトリクス回路 (9) は、入力段トランジスタ (7) のコレクタに得られるステレオ和信号 (L+R) と、トランジスタ (13) 及び (15) のコレクタに得られるステレオ差信号 (L-R) とを加算し、右出力端子 (17) に右ステレオ信号 (R) を発生するとともに、第 2 トランジスタ (8) のコレクタに得られるステレオ和信号 (L+R) と、トランジスタ (14) 及び (16) のコレクタに得られるステレオ差信号 (L-R) とを加算し、左出力端子 (18) に左ステレオ信号 (L) を発生するものである。

【0005】

【発明が解決しようとする課題】しかしながら、図 2 のステレオ復調回路のモノラル動作時とステレオ動作時とにおいて、出力端子 (17) 及び (18) の出力直流分が異なるため、モノラル動作またはステレオ動作の切り換え時に、前記直流分に起因したノイズが発生するという問題があった。

【0006】即ち、モノラル動作時、トランジスタ (13) 乃至 (16) のベースに、副搬送波信号が印加されず、バイアスのみが印加される。トランジスタ (13) 乃至 (16) はオンするので、トランジスタ (10) 及び (11) のコレクタ電流を I_{c1} 及び I_{c2} とすると、トランジスタ (13) 及び (14) のエミッタ電流と、トランジスタ (15) 及び (16) のエミッタ電流とは、それぞれ $I_{c1}/2$ 、 $I_{c2}/2$ ($I_{c1}=I_{c2}$) となる。その為、トランジスタ (13) 及び (15) の加算コレクタ電流は、それぞれ I_{c1} 、 I_{c2} となるが、これをベース電流を考慮して微視的に見ると、

【0007】

【数 1】

$$\frac{\beta 1}{1+\beta 1} \cdot \frac{I_{c1}}{2} + \frac{\beta 1}{1+\beta 1} \cdot \frac{I_{c2}}{2}$$

$$= \frac{\beta 1}{1+\beta 1} \cdot I_{c1} \quad \cdots \cdots (1)$$

【0008】となる。ここで、 β はトランジスタの電流増幅率であり、トランジスタのコレクタ電流に依存して

いる。尚、トランジスタ (14) 及び (16) の加算コレクタ電流も、 $I_{c1} = I_{c2}$ であるが、ベース電流を考慮すると、式 (1) の如く成る。また、ステレオ動作時、副搬送波信号によって、トランジスタ (13) 及び (16) と、トランジスタ (14) 及び (15) とが、交互にオンしている。その為、第 2 差動部 (4) において、オンしているトランジスタのエミッタ電流は I_{c1} となるとともに、第 3 差動部 (5) において、オンしているトランジスタのエミッタ電流は $I_{c2} (= I_{c1})$ になる。トランジスタ (13) 及び (15) の加算コレクタ電流は、ベース電流を考慮して微視的に見ると、トランジスタ (13) 及び (15) のいずれか一方がオンし

$$\frac{\beta_1}{1+\beta_1} \cdot I_{c1} \neq \frac{\beta_2}{1+\beta_2} \cdot I_{c2} \quad \text{..... (3)}$$

【0012】となり、モノラル動作時とステレオ動作時とで、出力直流分が異なっていた。

【0013】

【課題を解決するための手段】本発明は上述の点に鑑み成されたものであり、第 1、第 2 及び第 3 差動対から成り、前記第 1 差動対に入力信号が印加され、前記第 2 及び第 3 差動対に副搬送波信号が印加されるステレオ復調回路において、前記第 2 差動対を構成するトランジスタの共通エミッタと接続されるトランジスタを含む第 4 差動対と、前記第 3 差動対を構成するトランジスタの共通エミッタと接続されるトランジスタを含む第 5 差動対と、前記第 2 乃至第 5 差動対に、副搬送波信号を印加する制御回路とを備えたことを特徴とする。

【0014】また、前記制御回路は、ステレオ放送を示す信号に応じて、前記第 2 乃至第 5 差動対に副搬送波信号を印加し、また、モノラル放送を示す信号に応じて、前記第 2 及び第 3 差動対にバイアスを印加するとともに、前記第 4 乃至第 5 差動対をオフさせることを特徴とする。

【0015】

【作用】本発明によれば、モノラル動作時には、制御回路から第 2 及び第 3 差動対にバイアスを印加するとともに、第 4 乃至第 5 トランジスタを不動作状態にし、ステレオ動作時には、第 2 乃至第 5 差動対に副搬送波信号を印加する。このようにすることによって、モノラル動作時とステレオ動作時におけるステレオ復調回路の出力信号中の直流成分は変動せず、切り換えノイズの発生を防止できる。

【0016】

【実施例】図 1 は本発明の一実施例を示す図であり、

(19) 及び (20) は差動接続され、共通エミッタが第 1 及び第 2 トランジスタ (13) 及び (14) の共通エミッタに接続された第 7 及び第 8 トランジスタ、(21) 及び (22) は差動接続され、共通エミッタが第 3 及び第 4 トランジスタ (16) 及び (15) に接続された第 9 及び第 10 トランジスタ、(23) 及び (24)

ているため、

【0009】

【数 2】

$$\frac{\beta_2}{1+\beta_2} \cdot I_{c1} + 0 = \frac{\beta_2}{1+\beta_2} \quad \text{..... (2)}$$

【0010】となる。尚、トランジスタ (14) 及び (16) の加算コレクタ電流も、 $I_{c1} = I_{c2}$ より、式 (2) の如く成る。ここで、 β_1 はコレクタ電流が I_{c1} / 2 の時の値、 β_2 はコレクタ電流が I_{c1} の時の値であり、 $\beta_1 \neq \beta_2$ となる。よって、

【0011】

【数 3】

$$\frac{\beta_1}{1+\beta_1} \cdot I_{c1} \neq \frac{\beta_2}{1+\beta_2} \cdot I_{c2} \quad \text{..... (3)}$$

は差動接続され、ベースに互いに逆相の副搬送波信号が印加される第 11 及び第 12 トランジスタ、(25) 及び (26) はベースに前記副搬送波信号が印加される第 13 及び第 14 トランジスタ、(27) はモノラル／ステレオ放送を検出して出力信号を発生する検出回路、

(28) は検出回路 (27) の出力信号に応じて、第 11 及び第 12 トランジスタ (23) 及び (24) の動作電流を制御するトランジスタ、(29) は検出回路 (27) の出力信号を反転するインバータ、(30) 及び (31) はインバータ (29) の出力信号に応じて第 13 及び第 14 トランジスタ (25) 及び (26) のコレクタ電流を側路するトランジスタである。尚、図 2 の従来例と同一の素子については、図 2 と同一の符号を付し、説明を省略する。

【0017】図 1 において、モノラル動作の場合、検出回路 (27) から「L」レベルの出力信号が発生し、トランジスタ (28) はオフし、また、インバータ (29) から「H」レベルの出力信号が発生し、トランジスタ (30) 及び (31) がオンする。その為、トランジスタ (32) 及び (33) は飽和し、トランジスタ (32) 及び (33) のコレクタ電圧は $V_{b} - V_{ce(sat)}$ となる。前記コレクタ電圧は第 1 乃至第 4 トランジスタ (13) 乃至 (16) のベースに印加され、第 1 乃至第 4 トランジスタ (13) 乃至 (16) はオンする。また、トランジスタ (30) 及び (31) は飽和し、第 13 乃至第 14 トランジスタ (30) 及び (31) のコレクタ電圧が $V_{ce(sat)}$ になる。前記コレクタ電圧は、第 7 乃至第 10 トランジスタ (19) 乃至 (22) のベースに印加されるが、第 7 乃至第 10 トランジスタ (19) 乃至 (22) はオンしない。

【0018】よって、本発明によるステレオ復調回路のモノラル動作は、従来のもと同じとなるので、説明を省略する。また、ステレオ動作の場合、検出回路 (27) から「H」レベルの出力信号が発生するため、トランジスタ (28) はオンし、トランジスタ (30) 及び (31) はオフする。第 11 及び第 12 トランジスタ

(23) 及び (24) のベースに印加される PLL 回路 (12) からの副搬送波信号に応じて、第 11 及び第 12 トランジスタ (23) 及び (24) のコレクタから出力信号が発生する。また、前記副搬送波信号は第 13 及び第 14 トランジスタ (25) 及び (26) のベースにも印加され、前記副搬送波信号に応じて第 13 及び第 14 トランジスタ (25) 及び (26) のコレクタに発生する。第 11 トランジスタ (23) のコレクタ電流は第 1 及び第 3 トランジスタ (13) 及び (16) のベースに、第 12 トランジスタ (24) のコレクタ電流は第 2 及び第 4 トランジスタ (14) 及び (15) のベースに供給される。また、第 13 トランジスタ (25) のコレクタ電流は、第 7 及び第 9 トランジスタ (19) 及び (22) のベースに、第 14 トランジスタ (26) のコレクタ電流は第 8 及び第 10 トランジスタ (20) 及び (21) のベースに供給される。その為、それぞれのトランジスタに互いに逆相の副搬送波信号が印加され、第 1、第 3、第 7 及び第 9 トランジスタ (13)、(16)、(19) 及び (22) と、第 2、第 4、第 8 及び第 10 トランジスタ (14)、(15)、(20) 及び (21) とが、交互にオン/オフする。

【0019】入力信号であるステレオコンポジット信号は第 5 トランジスタ (10) のベースに印加される。そして、第 5 及び第 6 トランジスタ (10) 及び (11) のエミッタから発生するステレオコンポジット信号は、第 1 乃至第 4 トランジスタ (13) 乃至 (16) だけでなく第 7 乃至第 10 トランジスタ (19) 乃至 (22) において、副搬送波信号と乗算され、ステレオ差信号が復調される。

【0020】第 1、第 4、第 7 及び第 10 トランジスタ (13)、(15)、(19) 及び (21) の共通コレクタに得られるステレオ差信号 (L-R) は、接続点 (a) で入力段トランジスタ (7) のコレクタに得られるステレオ和信号 (L+R) と加算され、出力端子 (17) に右ステレオ信号 (R) が発生する。また、第 2、第 3、第 8 及び第 9 トランジスタ (14)、(16)、(20) 及び (22) の共通コレクタに得られるステレオ差信号 (L-R) は、接続点 (b) で入力段トランジスタ (8) のコレクタに得られるステレオ和信号 (L+R) と加算され、出力端子 (18) にステレオ信号 (L) が発生する。

【0021】ところで、第 5 及び第 6 トランジスタ (10) 及び (11) のコレクタ電流をそれぞれ I_{c1} 及び I_{c2} とすれば、モノラル動作時、第 1 乃至第 2 トランジスタ (13) 乃至 (16) のみがオンしているので、第 1 及び第 2 トランジスタ (13) 及び (14) のエミッタ電流は $(I_{c1})/2$ に、第 3 及び第 4 トランジスタ (16) 及び (15) のエミッタ電流は $(I_{c2})/2$ になる。その為、第 1 及び第 4 トランジスタ (13) 及び (15) の加算コレクタ電流は、それぞれ $(I_{c1})/2$ 及び $(I_{c2})/2$ となるが、これをベース電流を考慮して微視的に見ると、

1) $/2$ 及び $(I_{c2})/2$ となるが、これをベース電流を考慮して微視的に見ると、

【0022】

【数 4】

$$\frac{\beta_1}{1+\beta_1} \cdot \frac{I_{c1}}{2} + \frac{\beta_1}{1+\beta_1} \cdot \frac{I_{c2}}{2}$$

【0023】となる。但し、 $I_{c1}=I_{c2}$ であり、また、 β_1 はトランジスタのコレクタ電流が I_{c1} であるときの電流増幅率である。尚、第 2 及び第 3 トランジスタ (14) 及び (16) の加算コレクタ電流も、ベース電流を考慮し微視的に見れば、式 (4) の如くなる。一方、ステレオ動作時、例えば、第 1 及び第 7 トランジスタ (13) 及び (19) がオンしているとき、そのエミッタ電流はそれぞれ $(I_{c1})/2$ となり、また、これと同時に第 3 及び第 9 トランジスタ (16) 及び (22) がオンしていると、そのエミッタ電流はそれぞれ $(I_{c2})/2$ となる。そして、第 1、第 4、第 7 及び第 10 トランジスタ (13)、(15)、(19) 及び (21) の加算コレクタ電流は、第 2、第 4、第 8 及び第 10 トランジスタ (14)、(15)、(20) 及び (21) からコレクタ電流は発生しないので、モノラル動作時と同様微視的に見れば、

【0024】

【数 5】

$$\frac{\beta_1}{1+\beta_1} \cdot \frac{I_{c1}}{2} + \frac{\beta_1}{1+\beta_1} \cdot \frac{I_{c2}}{2}$$

$$= \frac{\beta_1}{1+\beta_1} \cdot I_{c1} \quad \dots\dots\dots (5)$$

【0025】となり、第 2、第 3、第 8 及び第 9 トランジスタ (14)、(16)、(20) 及び (22) の共通コレクタにも式 (5) の如き出力電流が発生する。尚、第 2、第 4、第 8 及び第 10 トランジスタ (14)、(15)、(20) 及び (21) がオンしている場合でも、それぞれの前記共通コレクタに式 (5) の如き出力電流が発生する。

【0026】よって、式 (4) 及び (5) より、第 1、第 4、第 7 及び第 10 トランジスタ (13)、(15)、(19) 及び (21) の共通コレクタから発生する出力電流と、第 2、第 3、第 8 及び第 9 トランジスタ (14)、(16)、(20) 及び (22) の共通コレクタから発生する出力電流とは、モノラル動作時においても、またはステレオ動作時においても、それぞれ変化しない。

【0027】

【発明の効果】従って、本発明によれば、モノラル動作時には、第 1 乃至第 4 トランジスタのベースにバイアスを印加するとともに、第 7 乃至第 10 トランジスタを不動作状態にし、ステレオ動作時には、第 1、第 3、第 7

及び第9トランジスタと、第2、第4、第8及び第10トランジスタとのベースに互いに逆相の副搬送波信号を印加しているので、モノラル動作とステレオ動作との切り換え時、ステレオ復調回路の出力信号中の直流成分は変動せず、ノイズの発生を防止できる。

【図面の簡単な説明】

【図1】 本発明の一実施例を示す回路図である。

【図2】 従来例を示す回路図である。

【符号の説明】

1 9 第7トランジスタ

10

8

第8トランジスタ

第10トランジスタ

第9トランジスタ

第11トランジスタ

第12トランジスタ

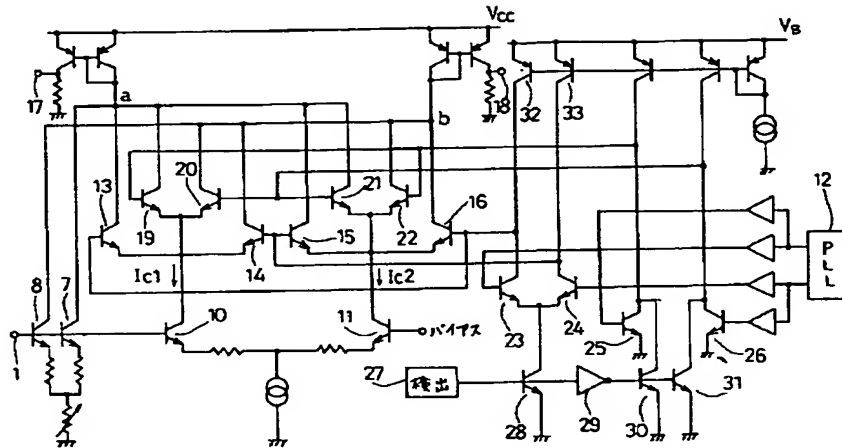
第13トランジスタ

第14トランジスタ

検出回路

インバータ

【図1】



【図2】

